

## Patent Abstracts of Japan

PUBLICATION NUMBER : 60175458  
 PUBLICATION DATE : 09-09-85

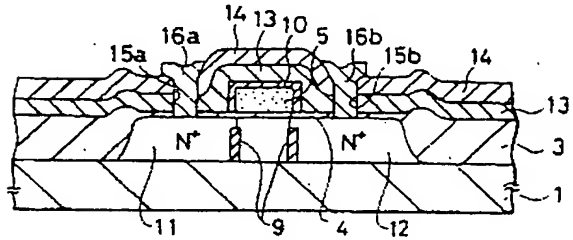
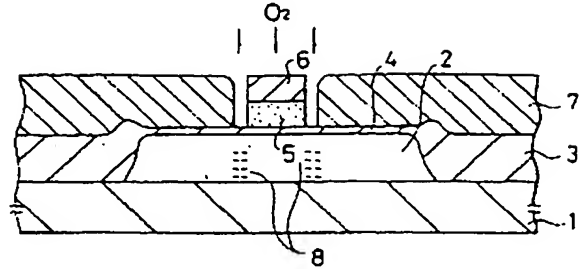
APPLICATION DATE : 21-02-84  
 APPLICATION NUMBER : 59030708

APPLICANT : TOSHIBA CORP;

INVENTOR : KIMURA MINORU;

INT.CL. : H01L 29/78 // H01L 27/12

TITLE : SEMICONDUCTOR DEVICE AND  
 MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To prevent a short channel effect from occurring by providing an insulating layer which is contacted at one end with an insulating substrate and is extended at the other end to the vicinity of the surface of a semiconductor layer on the semiconductor layer on the substrate so as to be disposed adjacent to the opposite ends of a source and drain region.

CONSTITUTION: A silicon layer 2 is grown on a sapphire 1 as an insulating substrate, selectively etched to form a field oxide film 3. Then, a gate oxide film 4 is formed on an insular silicon layer 2. Thereafter, a gate electrode 5 and a protective film pattern 6 made of polycrystalline silicon are formed on the film 4. Then, a resist pattern 7 is formed on the overall surface. Subsequently, an oxide implanting region 8 is formed. A heat treatment is executed to form an insulating layer 9 in the region 8, a thin polycrystalline silicon oxide film 10 is simultaneously formed. Then, N type impurity is implanted to the layer 2 to form N<sup>+</sup> type source and drain regions 11, 12. Then, an SiO<sub>2</sub> film 13 and a BPSG film 14 are laminated, and source and drain electrodes 16a, 16b are formed.

COPYRIGHT: (C)1985,JPO&Japio

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-175458

⑬ Int. Cl.<sup>4</sup>  
H 01 L 29/78  
// H 01 L 27/12

識別記号 庁内整理番号  
8422-5F  
8122-5F

⑭ 公開 昭和60年(1985)9月9日

審査請求 未請求 発明の数 2 (全4頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭59-30708

⑰ 出 願 昭59(1984)2月21日

⑱ 発 明 者 木 村 実 川崎市幸区堀川町72番地 東京芝浦電気株式会社堀川町工  
場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外 2 名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 絶縁基板上に形成された半導体層と、この半導体層に互いに離隔して設けられたソース、ドレイン領域と、同半導体層の前記ソース、ドレイン領域の対向端に夫々隣接して設けられ、一端が絶縁基板と接触しかつ他端が半導体層表面近くまで延在された絶縁層と、この絶縁層間の半導体層上にゲート絶縁膜を介してゲート電極とを具備することを特徴とする半導体装置。

(2) 絶縁基板上に半導体層を形成する工程と、この半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、このゲート電極上に該ゲート電極と同形状の保護膜パターンを形成する工程と、この保護膜パターンをマスクとして前記半導体層に酸素を該半導体層表面から離隔してイオン注入し前記基板に達する酸素注入領域を形成する工程と、前記保護膜パターンを除

去した後熱処理を施して前記酸素注入領域を絶縁化するとともに、前記ゲート電極の周囲に酸化膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、絶縁基板上の半導体層に素子を形成した半導体装置及びその製造方法に関する。

〔発明の技術的背景及びその問題点〕

近年、半導体装置においては素子の微細化、高集積化が目ざましく、SOS(Silicon On Sapphire)構造のMOS型トランジスタについても同様である。

従来、かかるSOS構造のMOS型トランジスタは、簡単に述べれば、まず、絶縁基板例えばサファイア上に形成した半導体層(シリコン層)の素子領域にゲート絶縁膜を介してゲート電極を形成した後、このゲート電極をマスクとして前記シリコン層に不純物添加をおこなってソース、ドレイン領域を形成することにより製造さ

特開昭60-175458(2)

れる。

しかしながら、従来技術によれば、素子の微細化を進めると、いわゆる短チャネル効果が発生して電気特性の劣化をもたらす。即ち、高速化により配線抵抗やソース、ドレイン領域の抵抗を大きくすることができないため、ソース、ドレイン領域形成のための不純物添加は極端に低濃度に行えない。したがって、拡散深さが深くなり、必然的に横方向への拡散が進み、実効チャネル長が減少する。しかるに、低抵抗にして拡散深さを浅くしても、ソース、ドレイン領域が絶縁基板まで到達しないとチャネル領域とソース、ドレイン領域との接合面積が急激に増し、その間で容量が増大するため、SOSの長所の一つである高速性が損なわれる。また、微細化に伴って電源電圧を規制せずに動作させようとすると、ソース、ドレイン領域間でパンチスルー現象が生ずる。更に、SOS構造のMOSトランジスタに固有の問題として、絶縁基板とシリコン層の界面に固有電荷が存在するため、界

面付近のシリコン層が反転し、この領域を通してソース、ドレイン領域間に電流が流れる。いわゆるバックチャネル電流が存在するという問題が生ずる。

このようなことから、これらの現象を防止するため、しきい値電圧の制御のためのチャネルイオン注入を行なうのとは別にパンチスルー耐圧の向上を目的とするイオン注入、更にバックチャネル電流防止のためにチャネルイオン注入が必要とされる。しかしながら、こうしたイオン注入はシリコン層濃度を高くし、SOS構造のトランジスタに特有なキンク現象を激しくしたり、しきい値電圧の制御性を悪くする。

#### 〔発明の目的〕

本発明は上記事情に鑑みてなされたもので、素子の微細化に起因する短チャネル効果の発生、バックチャネル電流の発生を防止するとともに、パンチスルー耐圧の向上等をなし得る半導体装置及びその製造方法を提供することを目的とするものである。

#### 〔発明の概要〕

本願第1の発明は、絶縁基板上の半導体層に、一端が絶縁基板と接触しかつ他端が半導体層表面近くまで延在した絶縁層を、ソース、ドレイン領域の対向端に夫々隣接するように設けたことを特徴とし、これにより前記目的を達成しようとするものである。

本願第2の発明は、絶縁基板（例えばサファイア）上に半導体層（例えばシリコン層）を形成した後、このシリコン層上にゲート絶縁膜を介してゲート電極を形成し、このゲート電極上に該ゲート電極と同形状の保護膜パターンを形成し、この保護膜パターンをマスクとして前記シリコン層に酸素を該シリコン層表面から離隔してイオン注入し前記サファイアに達する酸素注入領域を形成し、前記保護膜パターンを除去した後熱処理を施して前記酸素注入領域を絶縁化するとともに、前記ゲート電極の周囲に酸化膜を形成することにより前記目的を達成するものである。

#### 〔発明の実施例〕

以下、本発明をSOS構造のnチャネルMOS型トランジスタの製造に適用した場合について第1図～第6図を参照して説明する。

〔1〕まず、絶縁基板としてのサファイア1上に厚さ0.6 $\mu$ mのシリコン層2をエピタキシャル成長させた後、このシリコン層2を選択的に酸化してフィールド酸化膜3を形成した。つづいて、このフィールド酸化膜3で分離された島状のシリコン層2上に厚さ300～500Åのゲート酸化膜4を形成した（第1図図示）。次いで、常法により前記ゲート酸化膜4上に多結晶シリコンからなるゲート電極5、及びゲート電極5と同じ大きさのCVD-SiO<sub>2</sub>からなる保護膜パターン6を夫々形成した（第2図図示）。しかる後、ゲート電極5、保護膜パターン6の側壁を除く全面にレジストパターン7を形成した。更に、このレジストパターン7及び保護膜パターン6をマスクとして前記シリコン層2に酸素を加速電圧100～280keV、ドーズ量10<sup>18</sup>

$\sim 10^{20}/\text{cm}^3$ の条件でイオン注入し、シリコン層2の表面から離間した部分に前記サファイア1に達する酸素注入領域8を形成した(第3図図示)。

(ii) 次に、前記レジストパターン7及び保護膜パターン6を除去した後、熱処理を行なった。この結果、前記酸素注入領域8中の酸化されて絶縁層9が形成されると同時に、多結晶シリコンからなるゲート電極5の周囲に薄い酸化膜10が形成された(第4図図示)。つづいて、ゲート電極5及び薄い酸化膜10をマスクとしてシリコン層2にn型不純物例えば砒素をイオン注入し、 $N^+$ 型のソース、ドレイン領域11、12を形成した(第5図図示)。次いで、全面にCVD- $\text{SiO}_2$ 膜13、BPSG(ボロンリンガラス)膜14を順次堆積した後、前記ソース、ドレイン領域11、12の夫々の一部に対応するBPSG膜14、CVD- $\text{SiO}_2$ 膜13及びゲート酸化膜10を選択的に除去し、コンタクトホール15a、15bを形成した。しかる後、全面に例えばALを蒸着、

パターンニングして前記ソース、ドレイン領域11、12にコンタクトホール15a、15bを介して接続するソース、ドレイン電極16a、16bを形成し、nチャネル型のMOSトランジスタを製造した(第6図図示)。

本発明に係る半導体装置は、第6図に示す如く、絶縁基板1上のシリコン層2に、一端が絶縁基板1と接触しかつ他端がシリコン層2表面近くまで延在した絶縁層9、9を、 $N^+$ 型のソース、ドレイン領域11、12の対向端に夫々隣接するように設けた構造となっている。

しかして、第6図の半導体装置によれば、絶縁層9、9をシリコン層2の所定の位置に設けることにより、チャネル電流はシリコン層2の表面側に流れる。従って、ドレイン領域12にAL配線16bを介して電圧を印加した際に生じる空乏層の存在する範囲にはチャネル電流が流れず、パンチスルー耐圧を大きく向上することができるとともに、短チャネル効果の発生も防止できる。また、同様の理由から、シリコン層

2とサファイア1界面における固定チャージによるバックチャネル電流の発生も完全に防止できる。なお、このようにシリコン層2濃度を必要以上に高めることなくバックチャネル電流の問題を解消できるため、SOS構造のトランジスタに固有なキンク現象も大幅に減少された。更に、上記と同様の理由からしきい値電圧の制御も非常に容易にできる。以上より、高信頼性、高速度性、高集積度のトランジスタを得ることができる。

また、本発明方法によれば、酸素をレジストパターン7及び保護膜パターン6をマスクとしてシリコン層2に所定の条件でイオン注入して酸素注入領域8を形成した後、レジストパターン7及び保護膜パターン6を除去して熱処理を施すことにより、シリコン層2の表面から離間した部分にサファイア1に達する絶縁層9を形成することができる。従って、本願第1の発明と同様の効果を得ることができる。

なお、上記実施例では、絶縁基板としてサフ

アイアを用いたが、これに限らず、スピネル、 $\text{SiO}_2$ 等、あるいは $\text{SiO}_2$ -多結晶シリコン等の多層構造のものを用いてもよい。

また、上記実施例では、SOS構造のnチャネルMOSトランジスタの製造に適用した場合について述べたが、これに限らず、同構造のpチャネルMOSトランジスタ、あるいは相補型MOSトランジスタ等にも同様に適用できる。

#### 〔発明の効果〕

以上詳述した如く本発明によれば、短チャネル効果の発生、バックチャネル電流の発生を防止するとともに、パンチスルー耐圧の向上等をなし得る高信頼性、高速度性、高集積度の半導体装置を製造する方法を提供できるものである。

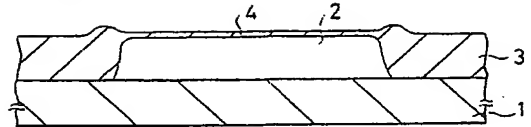
#### 4. 図面の簡単な説明

第1図～第6図は本発明の一実施例に係るnチャネルMOS型トランジスタの製造方法を工程順に示す断面図である。

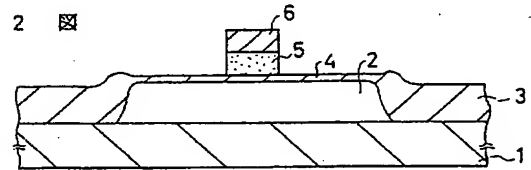
1…サファイア(絶縁基板)、2…シリコン層(半導体層)、3…フィールド酸化膜、4…

ゲート酸化膜、5…ゲート電極、6…保護膜パターン、7…レジストパターン、8…酸素注入領域、9…絶縁層、10…降圧酸化膜、11… $N^+$ 型のソース領域、12… $N^+$ 型のドレイン領域、13…CVD- $SiO_2$ 膜、14…BPSG膜、15a、15b…コンタクトホール、16a…ソース電極、16b…ドレイン電極。

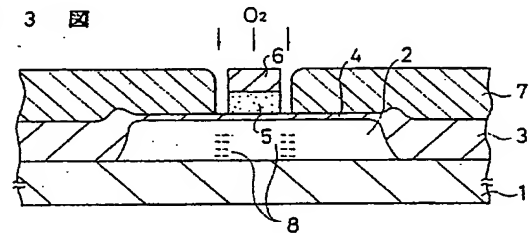
第 1 図



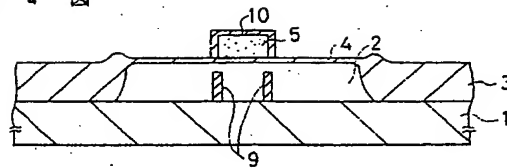
第 2 図



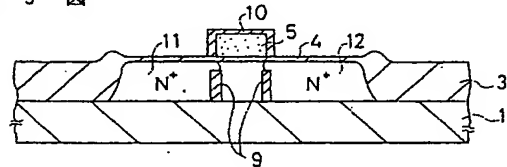
第 3 図



第 4 図



第 5 図



第 6 図

